



Docket No. 1232-5176

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant(s): Kunio SATOMI, et al.

Group Art Unit: TBA

Serial No.: 10/686,885

Examiner: TBA

Filed: October 15, 2003

For: AREA ARRAY SEMICONDUCTOR DEVICE AND ELECTRONIC CIRCUIT  
BOARD UTILIZING THE SAME

**CERTIFICATE OF MAILING (37 C.F.R. §1.8(a))**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

I hereby certify that the attached:

1. Claim to Convention Priority;
2. Certified Copy of Claim to Convention Priority document and;
3. Return Receipt Postcard

along with any paper(s) referred to as being attached or enclosed and this Certificate of Mailing are being deposited with the United States Postal Service on date shown below with sufficient postage as first-class mail in an envelope addressed to the: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Respectfully submitted,  
MORGAN & FINNEGAN, L.L.P.

Dated: November <sup>17<sup>th</sup></sup>, 2003

By: \_\_\_\_\_

Helen Tiger

**Correspondence Address:**

MORGAN & FINNEGAN, L.L.P.  
345 Park Avenue  
New York, NY 10154-0053  
(212) 758-4800 Telephone  
(212) 751-6849 Facsimile



Docket No.: 1232-5176

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Kunio SATOMI, et al.

Group Art Unit: TBA

Serial No.: 10/686,885

Examiner: TBA

Filed: October 15, 2003

For: AREA ARRAY SEMICONDUCTOR DEVICE AND ELECTRONIC CIRCUIT  
BOARD UTILIZING THE SAME

CLAIM TO CONVENTION PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In the matter of the above-identified application and under the provisions of 35 U.S.C.  
§119 and 37 C.F.R. §1.55, applicant(s) claim(s) the benefit of the following prior application(s):

Application(s) filed in: Japan  
In the name of: Canon Kabushiki Kaisha  
Serial No(s): 2002-301774  
Filing Date(s): October 16, 2002

- ☒ Pursuant to the Claim to Priority, applicant(s) submit(s) a duly certified copy of  
said foreign application.
- ☐ A duly certified copy of said foreign application is in the file of application Serial  
No. \_\_\_\_\_, filed \_\_\_\_\_.

Respectfully submitted,  
MORGAN & FINNEGAN, L.L.P.

Dated: November 17, 2003

By: \_\_\_\_\_

*Joseph A. Calvaruso*  
Joseph A. Calvaruso  
Registration No. 28,287

Correspondence Address:

MORGAN & FINNEGAN, L.L.P.  
345 Park Avenue  
New York, NY 10154-0053  
(212) 758-4800 Telephone  
(212) 751-6849 Facsimile

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 1 6 日  
Date of Application:

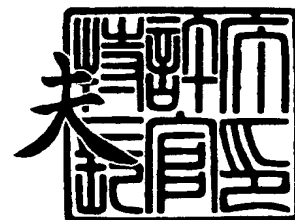
出 願 番 号                      特 願 2 0 0 2 - 3 0 1 7 7 4  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 0 1 7 7 4 ]

出 願 人                      キヤノン株式会社  
Applicant(s):

2 0 0 3 年 1 1 月    4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 4629015

【提出日】 平成14年10月16日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 3/34

【発明の名称】 エリアアレイ型半導体装置とそれを用いた電子回路基板

【請求項の数】 3

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 里見 國雄

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 竹内 靖

【特許出願人】

    【識別番号】 000001007

    【住所又は居所】 東京都大田区下丸子3丁目30番2号

    【氏名又は名称】 キヤノン株式会社

    【代表者】 御手洗 富士夫

【代理人】

    【識別番号】 100066061

    【住所又は居所】 東京都港区新橋1丁目18番16号 日本生命新橋ビル  
3階

    【弁理士】

    【氏名又は名称】 丹羽 宏之

    【電話番号】 03(3503)2821

**【選任した代理人】****【識別番号】** 100094754**【住所又は居所】** 東京都港区新橋 1 丁目 1 8 番 1 6 号 日本生命新橋ビル 3 階**【弁理士】****【氏名又は名称】** 野口 忠夫**【電話番号】** 03(3503)2821**【手数料の表示】****【予納台帳番号】** 011707**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9703800**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 エリアアレイ型半導体装置とそれを用いた電子回路基板

【特許請求の範囲】

【請求項 1】 回路配線を有する回路配線基板と、前記回路配線基板上に半導体チップを搭載し、

前記回路配線基板の回路配線と半導体チップを電氣的に接続した後、半導体チップを封止する封止樹脂でパッケージングされた半導体装置に於いて、半導体チップの搭載位置が、前記回路配線基板に対して 3 0 度から 6 0 度の角度で配置されている事を特徴とするエリアアレイ型半導体装置。

【請求項 2】 回路配線を有する回路配線基板に於いて、前記回路配線基板上に搭載された半導体チップを封止する封止樹脂が、半導体チップと同様な角度で形成されている事を特徴とする請求項 1 に記載のエリアアレイ型半導体装置。

【請求項 3】 請求項 1 または 2 に記載のエリアアレイ型半導体装置を、鉛フリーはんだでプリント配線基板（マザーボード）にはんだ付けした事を特徴とする電子回路基板。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、エリアアレイ型半導体装置とそれを用いた電子回路基板に関し、特に、融点の高いはんだでのはんだ付け時に、エリアアレイ型半導体装置の反りを防止する事に関する。

【 0 0 0 2 】

【従来の技術】

近年、携帯電話やビデオカメラの様な携帯用機器は、高機能化及び小型化となり、これらに使用される各種半導体装置は、薄くて小型の物が要求され、この要求に対応した多ピン用の各種半導体装置のパッケージ構造として、接続端子として表面に複数のはんだボールを格子状に配置して突出せしめた、ボールグリッドアレイ（以下エリアアレイと称す）と称されるエリアアレイ型半導体装置が提案されている。

**【0003】**

このエリアアレイ型半導体装置の一つは、半導体チップを回路配線を有する回路配線基板（以下インターポーザーと称す）に電氣的に接続した後、耐汚染、耐湿気等を考えて、封止材にて封止されている。この封止材にはセラミックやプラスチック材料が有るが、量産性やコスト面からプラスチック材を用いたトランスファーモールド成型法によるパッケージングが広く採用されている。

**【0004】**

プラスチック材で封止されたエリアアレイ型半導体装置は、ガラスエポキシ配線基板に代表される様なホスト側の回路配線基板（以下マザーボードと称す）にはんだ付けされるのが一般的である。また、この時のはんだ付けには、従来は鉛の入った鉛共晶はんだが使用されており、はんだの融点も183℃と低くエリアアレイに加わる熱ストレスも比較的小さく、大きな問題も発生しなかった。

**【0005】**

しかし、近年の環境問題から、はんだ材も鉛を含まない鉛フリー材の導入が叫ばれ、使用が増加してきた。

**【0006】**

この鉛フリーはんだの使用によって、接合信頼性の高いはんだでは融点が220℃前後と高く、これによってエリアアレイ型半導体装置に加わる熱ストレスが増大し、この為、マザーボードへのはんだ付け時に、エリアアレイ型半導体装置に反りが発生し、その結果はんだブリッジが発生し、はんだ接合信頼性を低下させている。また、この不良によるコストアップも来している。

**【0007】****【発明が解決しようとする課題】**

この問題を回避する最も効果的な一つの方法は、インターポーザーの熱膨張係数とエリアアレイ型半導体装置を汚染や湿気から守る為に施される封止樹脂（以下モールド樹脂と称す）の熱膨張係数を同一にする事である。しかしながら、前者と後者の材料組成が違う事や、構成も違い両者を同一にする事は困難である。

**【0008】**

このエリアアレイ型半導体装置に於いては、インターポーザー上にICチップ

が搭載され、ICチップの端子とインターポザーの接続端子を金属ワイヤーでボンディングした後、汚染や湿気、また、熱的保護等を兼ねモールド樹脂でモールドリングされるのが一般的であり、特に熱や湿気を考慮した従来品を図2に示すが、この時のモールド樹脂13は厚めに、しかも、インターポザー（基板）10のサイズに近い状態にモールドリングされている。

#### 【0009】

このモールドリングされたエリアアレイ型半導体装置は、インターポザーとモールド樹脂の両者間の材料や構成によって熱膨張係数が違い、はんだ付け時の熱で反りが発生している。

#### 【0010】

従来のはんだ付けでは、鉛共晶はんだ材によるはんだ付けの為、はんだ付け温度が比較的低かったので、インターポザーとモールド樹脂間の熱膨張差が小さく、これによって反りの発生が小さく押さえられていた。

#### 【0011】

近年では製品機能等から、パッケージサイズの大きいものや、パッケージサイズが小さい反面接合部のピッチの狭いものが使用されつつある。

#### 【0012】

しかし、はんだ付け材料は環境問題から低融点の鉛共晶はんだから高融点の鉛フリーはんだに変わりつつあり、これによってはんだ付け作業温度の上昇を来とし、これが上記エリアアレイ型半導体装置に反りを来とし、エリアアレイ型半導体装置のはんだ付け時に、はんだブリッジが発生していた。

#### 【0013】

従って本発明は、前記実状に鑑みてなされたもので、エリアアレイ型半導体装置のインターポザーの外周部の各辺に対して、モールド樹脂が全面に封止されない様に角度をつけて、即ち、インターポザーの各辺にコーナー部が来る様にパッケージングする事で、インターポザーとモールド樹脂の接触部が減少し、両者間の熱膨張差がなくなり、エリアアレイ型半導体装置の反りを抑える事が出来、はんだブリッジ不良を無くすことができ、はんだ付け信頼性の高いエリアアレイ型半導体装置を提供する事を目的とする。



## 【0014】

## 【課題を解決するための手段】

本発明のエリアアレイ型半導体装置の特徴は、インターポザー上に搭載されたICチップとをワイヤリングした後、ICチップや導体ワイヤー等を封止するモールド樹脂にてパッケージングしたエリアアレイ型半導体装置に於いて、インターポザー上にモールド樹脂をパッケージングした時、この両者の材料組成や構成によってはんだ付け時の加熱で、エリアアレイ型半導体装置に反りが発生する。

## 【0015】

発明者は、上記両者の熱膨張係数差による影響が最も大きいと考え、エリアアレイ型半導体装置の構造を変える事で反りを低減出来ると考えた。

## 【0016】

即ち、前述の如くインターポザーとモールド樹脂のパッケージングによって、両者の接合部間での熱膨張差によって反りが発生すると考え、この両者間の接合部を最小限にし、インターポザーの反りを小さくしようとするものである。

## 【0017】

その構成は、インターポザーに対してICチップを30度～60度の角度で搭載接合した後、モールド樹脂も同様な角度でモールドリングする事にある。

## 【0018】

係る構成によれば、インターポザーの各辺の外周部側は、モールド樹脂との接合部面が最小限になり、両者間に熱膨張差が生じなくなる為、高融点の鉛フリーはんだ材によるはんだ付けに於いても、エリアアレイ型半導体装置の反りが大幅に改善され、はんだ付け時のはんだブリッジ不良が無くなり、はんだ付け信頼性の高いエリアアレイ型半導体装置を提供する事が出来る。

## 【0019】

以上、本発明を整理して要約すれば以下の構成に集約できる。

## 【0020】

(1) 回路配線を有する回路配線基板と、前記回路配線基板上に半導体チップを搭載し、

前記回路配線基板の回路配線と半導体チップを電氣的に接続した後、半導体チップを封止する封止樹脂でパッケージングされた半導体装置に於いて、半導体チップの搭載位置が、前記回路配線基板に対して30度から60度の角度で配置されている事を特徴とするエリアアレイ型半導体装置。

#### 【0021】

(2) 回路配線を有する回路配線基板に於いて、前記回路配線基板上に搭載された半導体チップを封止する封止樹脂が、半導体チップと同様な角度で形成されている事を特徴とする前記1に記載のエリアアレイ型半導体装置。

#### 【0022】

(3) 前記(1)または(2)記載のエリアアレイ型半導体装置を、鉛フリーはんだでプリント配線基板(マザーボード)にはんだ付けした事を特徴とする電子回路基板。

#### 【0023】

#### 【発明の実施の形態】

以下、本発明の実施例を図面に基づいて詳細に説明する。

#### 【0024】

図1は、本発明のエリアアレイ型半導体装置の最も基本的な一実施例を示したもので、(a)は平面図、(b)は断面図である。

#### 【0025】

図1に示す本発明のエリアアレイ型半導体装置は、BTレジン等の耐熱性の高い樹脂をガラスクロスに含浸した絶縁性のインターポザー(基板)10の表面に、図示しない信号線やICチップ11と電氣的に接続するための接続用ランドの回路配線が形成されたものに、ICチップ11を中央部に搭載し、インターポザー(基板)10の図示しない接続ランドとICチップ11の図示しない接続ランドとを金属ワイヤー12でワイヤーボンディングするが、インターポザー(基板)10の回路配線は、インターポザー(基板)10上に搭載するICチップ11が、インターポザー(基板)10に対して45度の角度に配置されるように形成されている。

#### 【0026】

この45度の角度に配置されたICチップ11の図示しない接続ランドと、インターポーザー（基板）10の図示しない接続ランドとを金属ワイヤー12でワイヤーボンディングした後、ICチップ11の耐湿気や耐汚染性及び熱的保護、また、金属ワイヤー12の機械的保護等を兼ねて、図1（a）に示す様に、45度の角度に配置されたICチップ11の周囲全面に同様な角度でモールド樹脂13でモールドングしている。

#### 【0027】

尚、最終的なエリアアレイ型半導体装置として作り上げるには、インターポーザー（基板）10のICチップ11搭載面の反対側面に形成された、はんだ接合用銅箔ランド14にクリームはんだやフラックスを供給し、図示しない所定球径のはんだを搭載後、加熱溶融してはんだボール15を形成して、エリアアレイ型半導体装置が完成される。

#### 【0028】

図1に示す本発明のエリアアレイ型半導体装置を用いて、図示しないはんだ付け用のマザーボードにはんだ付けする場合、高融点の鉛フリーはんだ材を用いたはんだ付けに置いても、高温時の高熱膨張量を来していたモールド樹脂13が、インターポーザー（基板）10の各辺での接合部面が最小限になり、両者間に熱膨張差が生じなくなる為、高融点の鉛フリーはんだ材によるはんだ付けに於いても、エリアアレイ型半導体装置の反りが大幅に改善され、はんだ付け時のはんだブリッジ不良が無くなり、はんだ付け信頼性の高いエリアアレイ型半導体装置を提供する事が出来る。

#### 【0029】

##### 【実施例】

本発明の実施例を図面に沿って説明する。

#### 【0030】

図1が本発明を実施した時のエリアアレイ型半導体装置で、（a）が平面図（b）がその断面図である。

#### 【0031】

本発明のエリアアレイ型半導体装置は、BTレジン等の耐熱性の高い樹脂をガ

ラスクロスに含浸した絶縁性のインターポザー（基板）10の表面に、図示しない信号線や、電氣的に接続するための接続用ランドの回路配線が形成された上にICチップ11を中央部に搭載し、インターポザー（基板）10の図示しない接続ランドとICチップ11の図示しない接続ランドとを金属ワイヤー12でワイヤーボンディングした後、ICチップ11の耐湿気や耐汚染性及び熱的保護、また、金属ワイヤー12の機械的保護等を兼ねてこれらの全面にモールド樹脂13でモールドニングする工程に於いて、図1の（a）に示す様に、インターポザー（基板）10の表面に搭載されるICチップ11は、インターポザー（基板）10に対して、45度の角度にて搭載接合される様に、インターポザー（基板）10には回路配線が形成されている。

#### 【0032】

この45度に搭載されたICチップ11は、図示しない両者の接合ランド間を金属ワイヤー12でワイヤーボンディングされた後、モールド樹脂13でモールドニングするが、このモールドニングもICチップ11同様に、45度の角度に形成されるように金型が加工されており、これによってモールドニングされたものが、図1（a）の形状である。

#### 【0033】

さらに、このインターポザー（基板）10の下面には接続ランド15が設けられており、所定粒径を有するはんだにフラックスを塗布し、この接続ランド15上に載せて加熱溶融し、はんだボール16を形成したものが図1の（b）である。

#### 【0034】

上記工程で製造された本発明のエリアアレイ型半導体装置と、図2に示す従来型のエリアアレイ型半導体装置を用い、図示しない150\*200mm角のテスト用ボードの左右に、エリアアレイ型半導体装置のはんだボール16と同一ピッチで形成された接続ランド上に、印刷版にて鉛フリーはんだ材のクリームはんだを供給し、両エリアアレイ型半導体装置をそれぞれ搭載した後、規定のはんだ付け温度プロファイルにてはんだ付けを行い、エリアアレイ型半導体装置のブリッジの発生数とその時の反り量を比較した。

## 【0035】

内容として

## 1. エリアアレイ型半導体装置

- ・サイズ（インターポーザー）：40＊40mm
- ・ボール数：596ボール

各辺30ボールの6列配置タイプ

## 2. テスト用ボード

- ・サイズ：150＊200mm
- ・配置：長手方向に2分割した各々の中央部
- ・搭載数：左右各1ケ

## 3. はんだ付けプロファイル（リフローはんだ付け）

- ・はんだ付け部ピーク温度：235℃

## 4. テスト枚数

- ・本発明品、従来品 共に：50ケ

## 【0036】

上記条件にてはんだ付けを行った結果を、表1に示す。

## 【0037】

【表1】

エリアアレイ型 半導体装置	ブリッジ発生数 (個)	ブリッジ発生率 (%)	インターポーザーの 反り量 (μm)
従来品	14／50	28	350～450
本発明品	0／50	0	30～60

## 【0038】

これらの結果から、エリアアレイ型半導体装置のモールド樹脂13をモールド  
イングする時、インターポーザー（基板）10の各辺にモールド樹脂13が全面  
に形成されない様に、45度の角度を付けて形成する事で、はんだ付け時の熱に  
よるモールド樹脂13の膨張が小さくなり、インターポーザー（基板）10の反  
りを大幅に抑制でき、はんだブリッジを大幅に無くす事が出来た。

## 【0039】

**【発明の効果】**

以上の如く本発明によれば、融点の高いはんだ組成ではんだ付けする場合、高温側でエリアアレイ型半導体装置の反りが大きく発生していたが、この反りを大幅に低減する事が出来る。

**【0 0 4 0】**

また、本発明に係るエリアアレイ型半導体装置に於いて、はんだ付け時の高温側での反りが低減される事で、エリアアレイ型半導体装置の外周部に発生していた、はんだ接合部のはんだブリッジ不良が無くなり、はんだ付け信頼性の高いエリアアレイ型半導体装置を提供出来る。

**【図面の簡単な説明】**

**【図 1】** 本発明の第 1 の実施例を示すもので、(a) は平面図を表し、(b) は断面図

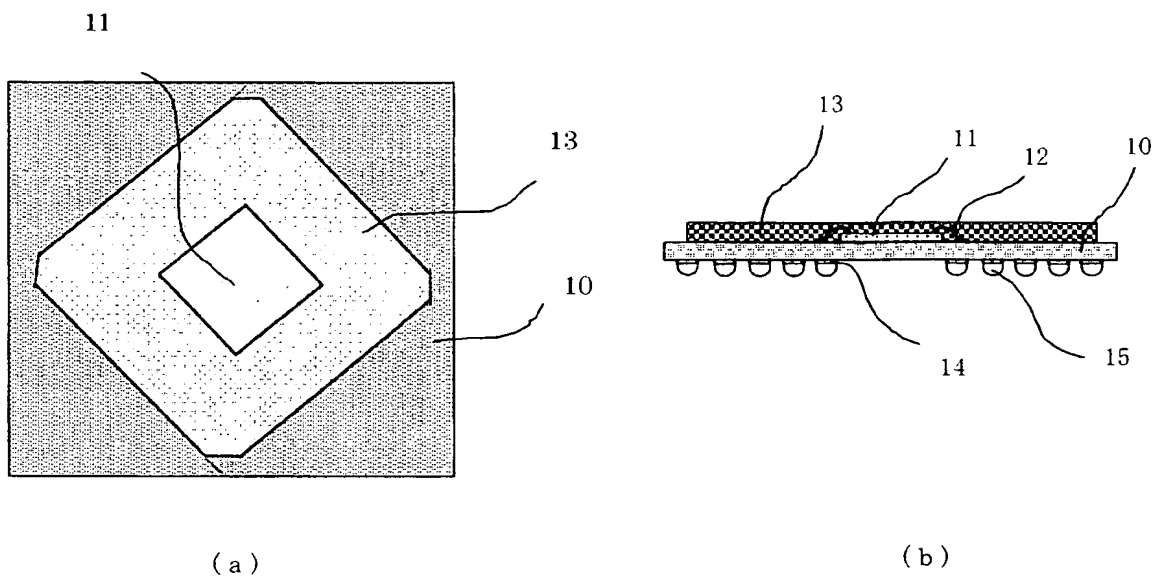
**【図 2】** 従来のエリアアレイ型半導体装置を示す平面図

**【符号の説明】**

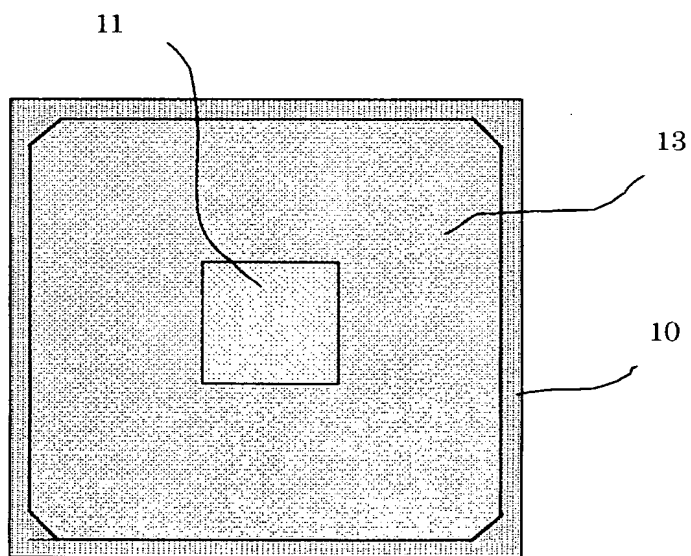
- 1 0 インターポーザー (基板)
- 1 1 I C チップ
- 1 2 金属ワイヤー
- 1 3 モールド樹脂
- 1 4 銅箔ランド
- 1 5 はんだボール

【書類名】 図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】 鉛フリーはんだ実装時の、エリアアレイ型半導体装置の反りを低減し、ブリッジ不良を無くしはんだ付け信頼性の向上と、実装直行率の向上を図る。

【解決手段】 エリアアレイ型半導体装置の半導体チップと封止樹脂を、インターポーザー基板に対し30度から60度傾けることにより、封止樹脂とインターポーザー間の熱膨張係数差によるバイメタル効果を低減する構成。

【選択図】 図1



特願 2 0 0 2 - 3 0 1 7 7 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 0 0 7 ]

1 . 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社